

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent Number: JP2002203947
Publication date: 2002-07-19
Inventor(s): HIRAKAWA KENJI
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP2002203947
Application Number: JP20000403398 20001228
Priority Number (s):
IPC H01L27/04; H01L21/822; H01L21/3205; H01L21/8234; H01L27/06; H01L21/8238;
Classification: H01L27/092; H01L29/43; H01L29/78
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce voltage dependency in the capacitance value of a capacitor.
SOLUTION: In the upper or lower electrode of the capacitor, an SiGe layer is provided at a side in contact with at least dielectric layer. The SiGe layer is an Si compound layer having a smaller work function than Si. In the gate electrode of an MOS transistor, the SiGe layer is also provided at a side in contact with at least a gate insulating film.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-203947
(P2002-203947A)

(43)公開日 平成14年7月19日(2002.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L	27/04	H 0 1 L 27/04	C 4 M 1 0 4
	21/822	21/88	P 5 F 0 3 3
	21/3205	27/06	1 0 2 A 5 F 0 3 8
	21/8234	27/08	3 2 1 D 5 F 0 4 0
	27/06	29/62	G 5 F 0 4 8

審査請求 未請求 請求項の数17 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願2000-403398(P2000-403398)

(22)出願日 平成12年12月28日(2000.12.28)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 平川 顯二

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

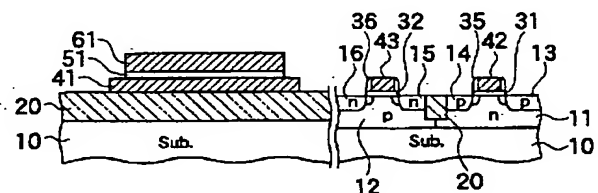
最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】容量素子の容量値の電圧依存性を小さくする。

【解決手段】容量素子の上部電極もしくは下部電極において、少なくとも誘電体層と接する側にS i より小さい仕事関数を持つS i 化合物層であるS i G e層を備えるとともに、M O Sトランジスタのゲート電極において、少なくともゲート絶縁膜と接する側にS i G e層を備える。



【特許請求の範囲】

【請求項1】 半導体基板上に絶縁層を介して形成された下部電極と、前記下部電極上に形成された誘電体層と、前記誘電体層上に形成された上部電極とを備え、前記下部電極もしくは上部電極が、少なくとも前記誘電体層と接する側に、Siより小さい仕事関数を持つSi化合物層を有する容量素子と、前記半導体基板層の上層に形成された第1導電型のウエルと、前記ウエル上層に形成された第2導電型のソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間に露出する前記ウエルを覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、少なくとも前記ゲート絶縁膜と接する側にSiより小さい仕事関数を持つSi化合物層を持つゲート電極とを備えるMOSTランジスタとを有することを特徴とする半導体装置。

【請求項2】 前記Si化合物層が、SiGe層であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記容量素子の前記上部電極もしくは前記下部電極と、前記MOSTランジスタの前記ゲート電極とが、同一のSiGe層から形成されることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記容量素子の前記上部電極と、前記MOSTランジスタの前記ゲート電極とが、下層にSiGe層、上層にポリSi層からなる積層構造を持つ同一の電極層から形成されることを特徴とする請求項2に記載の半導体装置。

【請求項5】 前記MOSTランジスタは、デュアルゲート構造のCMOSTランジスタを構成するものであることを特徴とする請求項1〜4のいずれかに記載の半導体装置。

【請求項6】 同一半導体基板上にデュアルゲート構造のCMOSTランジスタと容量素子とを混載する半導体装置であって、

前記容量素子が、

下部電極と、

前記下部電極上に形成された誘電体層と、

前記誘電体層上に形成された上部電極とを有し、

前記上部電極もしくは下部電極の少なくとも一方が、前記誘電体層と接する側に、Siより小さい仕事関数を持つSi化合物層を備えることを特徴とする半導体装置。

【請求項7】 前記Si化合物層が、SiGe層であることを特徴とする請求項6に記載の半導体装置。

【請求項8】 前記上部電極もしくは下部電極の少なくとも一方が単層のSiGe層で形成されていることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記上部電極もしくは下部電極の少なくとも一方がSiGe層とポリSi層とを含む積層構造の電極層で形成されていることを特徴とする請求項7に記載の半導体装置。

【請求項10】 同一半導体基板上に容量素子とMOSTランジスタとを有する半導体装置の製造方法において、

基板表面に、Siより小さい仕事関数を持つSi化合物層からなる電極層を形成する工程と、

前記電極層を選択的にエッチングすることにより、前記容量素子の下部電極と前記MOSTランジスタのゲート電極とを同一工程で形成することを特徴とする半導体装置の製造方法。

【請求項11】 前記Si化合物層が、SiGe層であることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 同一半導体基板上に容量素子とMOSTランジスタとを有する半導体装置の製造方法において、

基板表面に、少なくとも下層側に、Siより小さい仕事関数を持つSi化合物層からなる電極層を形成する工程と、

前記電極層を選択的にエッチングすることにより、前記容量素子の上部電極と前記MOSTランジスタのゲート電極とを同一工程で形成することを特徴とする半導体装置の製造方法。

【請求項13】 前記Si化合物層が、SiGe層であることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】 前記電極層は、下層にSiGe層を有し、上層にポリSi層を有するものであることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 半導体基板層に、素子分離領域を形成する工程と、

前記素子分離領域で画定された半導体基板層領域に第1導電型のウエルを形成する工程と、

この基板表面に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、Siより小さい仕事関数を持つSi化合物層からなる第1電極層を形成する工程と、

前記第1電極層上に、絶縁体層を形成する工程と、

前記絶縁体層上に、第2電極層を形成する工程と、

前記第2電極層および前記絶縁体層とを選択的にエッチングし、前記素子分離領域上方に、容量素子の上部電極および誘電体層をパターンニングする工程と、

前記第1電極層を選択的にエッチングし、容量素子の下部電極とMOSTランジスタのゲート電極とを同時にパターンニングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 前記電極層は、下層にSiGe層を有し、上層にポリSi層を有するものであることを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】 前記第2電極層が、少なくとも前記絶縁体層側にSiGe層を有するものである請求項16に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、MOS (Metal Oxide Semiconductor) トランジスタと容量素子とを有する半導体装置に関する。

【0002】

【従来の技術】最近のCMOS (Complementary MOS) トランジスタでは、ゲート長の微細化に伴いリーク電流の低減のため、デュアルゲート構造が使用されている。

【0003】デュアルゲート構造とは、nMOSTランジスタにはn+型のゲート電極を用い、pMOSTランジスタにはp+型のゲート電極を用いる構造をいう。また、このデュアルゲート構造の作製にあたっては、イオン注入法を用いてポリSi層からなる各ゲート電極層に、nMOSTランジスタ領域にはn型の不純物を、pMOSTランジスタ領域にはp型の不純物をそれぞれドーピングし、アニールによる活性化を経て、各ゲート電極に所定の導電性を付与している。

【0004】イオン注入法を用いたゲート電極層への不純物のドーピングは、注入イオンがゲート絶縁膜を介してチャネル形成領域である半導体基板層に突き抜けたり、注入量が多い場合は電界破壊を起こしやすい等の問題もあり、注入条件の調整のため、ドーピング量は制限され、比較的高濃度ドーピングが可能なP(燐)を注入した場合でも、その不純物濃度はせいぜい $3 \times 10^{20} / \text{cm}^3$ にとどまる。

【0005】一方、アナログ・デジタル変換回路では、同一基板上にデュアルゲート構造のCMOSTランジスタとともに容量素子が混載されており、このような容量素子の作製に際しては、CMOSTランジスタと共通化する工程で行うことが望まれている。よって、従来は、CMOSTランジスタのゲート電極と同一材料、同一工程を用いて、容量素子を構成する下部電極と上部電極とを形成していた。

【0006】従って、容量素子を構成する下部電極もしくは上部電極を形成する場合は、ゲート電極の作製条件と同様に、まずポリSi層を形成し、次にイオン注入法を用いて、不純物イオンをドーピングし、アニール工程を経て導電性を付与し、その後所定形状にパターニングを行うことにより電極を形成していた。よって、容量素子の上部電極もしくは下部電極の不純物濃度もゲート電極と同程度のものが用いられてきた。

【0007】

【発明が解決しようとする課題】最近のCMOSTランジスタでは、ゲート長の微細化に伴い、ゲート絶縁膜の薄膜化が進んでいる。ポリSiを用いたゲート電極中で十分な不純物濃度が得られていないデュアルゲート構造の場合には、ゲート絶縁膜の薄膜化により相対的にゲート電極側にかかる電場が強くなるため、ゲート電極中に

空乏層が発生する現象が生じている。

【0008】容量素子においても、微細化の要請から、容量の占有面積は縮小化しており、これに伴って誘電体層の厚みも10~30nm程度の極めて薄いものになってきている。容量素子の電極もゲート電極と同じポリシリコン層で形成され、同一のイオン注入工程で不純物のドーピングが行われるため、その不純物濃度は、せいぜい $3 \times 10^{20} / \text{cm}^3$ を程度である。よって、ゲート電極と同様に容量素子の場合も、印加時において上部電極もしくは下部電極中に空乏層が形成される現象が生じている。

【0009】一方、最近のアナログ・デジタル変換回路で用いる容量素子は、高ビット精度の確保の為、容量素子の電圧依存性、即ち印加電圧Vに対する容量値Cの変化を非常に低いレベル、例えば40ppm/V以下に抑えることが要請されている。

【0010】しかし、容量素子の電極中に空乏層が生じると、誘電体層の持つ容量C0とは別に空乏層による容量Cdが発生してしまうが、誘電体層の有する容量C0が固有な値であるのに対し、空乏層による容量Cdは電圧により変動する。よって、容量素子全体の容量値C ($C = C0 + Cd$) の電圧依存性を低レベルに抑えることは困難である。

【0011】本発明は、上述する従来の課題に鑑み、CMOSTランジスタとのプロセス上の整合性が良く、しかも電圧依存性の小さい容量素子を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体装置の第1の特徴は、半導体基板上に絶縁層を介して形成された下部電極と、前記下部電極上に形成された誘電体層と、前記誘電体層上に形成された上部電極とを備え、前記下部電極もしくは上部電極が、少なくとも前記誘電体層と接する側に、Siより小さい仕事関数を持つSi化合物層を持つ容量素子と、前記半導体基板層の上層に形成された第1導電型のウエルと、前記ウエル上層に形成された第2導電型のソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域との間に露出する前記ウエルを覆うように形成されたゲート絶縁層と、前記ゲート絶縁膜上に形成され、少なくとも前記ゲート絶縁膜と接する側に、Siより小さい仕事関数を持つSi化合物層を持つゲート電極とを備えるMOSTランジスタとを有することである。例えば、上記Si化合物としては、SiGeが挙げられる。

【0013】上記本発明の半導体装置の第1の特徴によれば、容量素子の上部電極もしくは下部電極の誘電体層界面に、従来使用されていたSi等に比べ仕事関数が小さいSi化合物層、例えばSiGe等を用いるため、電極内での空乏層の発生を抑制できる。よって、電圧依存性が大きい空乏層に起因する容量の割合が減少するた

め、容量素子全体の容量値の電圧依存性を低減できる。従って、印加電圧の値に関わらず安定した容量値を提供できる。また、MOSトランジスタのゲート電極においても、少なくともゲート絶縁膜と接する側を、Siより小さい仕事関数を持つSi化合物層、例えばSiGe層等で形成しているため、この場合もゲート電極の空乏化を抑制し、トランジスタの駆動性を向上できる。

【0014】なお、上記第1の特徴において、上部容量素子の上部電極もしくは下部電極と、上記MOSTランジスタの前記ゲート電極とは、同一のSiGe層から形成されていてもよい。また、上記容量素子の上部電極と、上記MOSTランジスタのゲート電極とは、下層にSiGe層、上層にポリSi層を持つ積層構造の、同一電極層から形成されていてもよい。

【0015】この場合は、容量素子の上部電極もしくは下部電極と、ゲート電極とを同一工程で形成することができる。

【0016】なお、前記MOSTランジスタが、デュアルゲート構造のCMOSTランジスタを構成する場合は、ゲート電極およびこのゲート電極と同一工程で形成する容量素子の上部電極もしくは下部電極に添加される不純物濃度が制限されるため、仕事関数の小さいSiGe層を用いることは、各電極内の空乏層の発生を抑制するために特に効果的である。

【0017】本発明の半導体装置の第2の特徴は、同一半導体基板上にデュアルゲート構造のCMOSTランジスタと容量素子とを混載する半導体装置において、下部電極と、この下部電極上に形成された誘電体層と、この誘電体層上に形成された上部電極とを有し、上部電極もしくは下部電極の一方が、少なくとも誘電体層と接する側に、Siより小さい仕事関数を持つSi化合物層、例えばSiGe層等を備える容量素子を有することである。

【0018】上記本発明の半導体装置の第2の特徴によれば、容量素子の上部電極もしくは下部電極の誘電体層界面に、Siより仕事関数が小さいSiGe等のSi化合物を用いるため、電極内での空乏層の発生を抑制できる。よって、電圧依存性が大きい空乏層に起因する容量の割合が減少するため、容量素子全体の容量値の電圧依存性を低減できる。印加電圧の値に関わらず安定した容量値を提供できる。

【0019】なお、第2の特徴を有する半導体装置において、上部電極もしくは下部電極の少なくとも一方が単層のSiGe層で形成されていてもよい。また、上部電極もしくは下部電極の少なくとも一方がSiGe層とポリSi層とを含む積層構造の電極層で形成されていてもよい。

【0020】本発明の半導体装置の製造方法の第1の特徴は、同一半導体基板上に容量素子とMOSTランジスタとを有する半導体装置の製造方法において、基板表面

に、Siより小さい仕事関数を持つSi化合物層、例えばSiGe層からなる電極層を形成する工程と、その電極層を選択的にエッチングすることにより、容量素子の下部電極とMOSTランジスタのゲート電極とを同一工程で形成することである。

【0021】上記本発明の製造方法の第1の特徴によれば、同一工程で、容量素子の下部電極と、MOSTランジスタのゲート電極をSiGe層等で形成できるため、プロセス上の負担が少なく、しかもSiよりも仕事関数の小さいSiGe層等の使用により、下部電極およびゲート電極での空乏化を抑制できる。よって、電圧依存性の少ない容量素子と、駆動性が良好なゲート電極を提供できる。

【0022】なお、上記本発明の製造方法の第1の特徴において、上記上部電極もしくは下部電極の少なくとも一方が単層のSiGe層で形成されていてもよいし、上部電極もしくは下部電極の少なくとも一方がSiGe層とポリSi層とを含む積層膜で形成されていてもよい。

【0023】本発明の半導体装置の製造方法の第2の特徴は、同一半導体基板上に容量素子とMOSTランジスタとを有する半導体装置の製造方法において、基板表面に、少なくとも下層側に、Siより小さい仕事関数を持つSi化合物層、例えばSiGe層を有する電極層を形成する工程と、前記電極層を選択的にエッチングすることにより、前記容量素子の上部電極と前記MOSTランジスタのゲート電極とを同一工程で形成することである。

【0024】上記本発明の製造方法の第2の特徴によれば、同一工程で、少なくとも誘電体層側もしくはゲート絶縁膜側にSiより小さい仕事関数を持つSiGe等のSi化合物層を有する容量素子の上部電極と、MOSTランジスタのゲート電極とを形成できるため、プロセス上の負担が少なく、しかも仕事関数の小さいSiGe層等の使用により、下部電極およびゲート電極での空乏化を抑制できる。よって、電圧依存性の少ない容量素子と、駆動性が良好なMOSTランジスタを提供できる。

【0025】なお、上記本発明の製造方法の第2の特徴において、前記電極層は、下層にSiGe層を有し、上層にポリSi層を有するものであってもよい。

【0026】本発明の半導体装置の製造方法の第3の特徴は、半導体基板層に、素子分離領域を形成する工程と、前記素子分離領域で画定された半導体基板層領域に第1導電型のウエルを形成する工程と、この基板表面に、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、Siより小さい仕事関数を持つSi化合物層、例えばSiGe層からなる第1電極層を形成する工程と、前記第1電極層上に、絶縁体層を形成する工程と、前記絶縁体層上に、第2電極層を形成する工程と、前記第2電極層および前記絶縁体層とを選択的にエッチングし、前記素子分離領域上方に、容量素子の上部電極および誘

電体層をパターニングする工程と、前記第1電極層を選択的にエッチングし、容量素子の下部電極およびMOSTランジスタのゲート電極をパターニングする工程とを有する。

【0027】上記本発明の製造方法の第3の特徴によれば、容量素子とMOSTランジスタとを同一基板上に製造上の負担なく形成でき、しかも容量素子の下部電極と、MOSTランジスタのゲート電極に仕事関数の小さいSiGe等の層を有するため、容量素子の下部電極およびゲート電極での空乏化を抑制し、電圧依存性の少ない容量素子と、駆動性が良好なMOSTランジスタを提供できる。

【0028】なお、上記本発明の製造方法の第3の特徴において、上記第2半導体電極層が、少なくとも前記絶縁体層側にSiGe層を有するものであってもよい。より、電圧依存性の少ない容量素子を提供できる。

【0029】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態について説明する。

【0030】(第1の実施の形態)図1は、第1の実施の形態に係る半導体装置の基本構造を示す断面図である。同図に示すように、第1の実施の形態に係る半導体装置は、CMOSTランジスタと容量素子とを有する半導体装置において、各ゲート電極および容量素子の上部電極と下部電極とをSiGe層で形成したものである。以下、より詳細にその構成を説明する。

【0031】図1に示すように、Si半導体基板10の上層は、素子分離領域であるSTI(Shallow Trench Isolation)層20により、各活性領域とそれ以外の領域に分離されている。

【0032】容量素子は、例えば活性領域ではない、STI層20上に形成され、SiGe層からなる下部電極41と同じくSiGe層からなる上部電極61とて誘電体層51を挟持した構造を持つ。誘電体層51は、特に限定されないが、例えばSiO₂膜、SiN膜あるいはSiO₂膜とSiN膜を積層したONO(Oxide/Nitride/Oxide)膜等を使用する。

【0033】pMOSTランジスタ(以下、「pMOS」と表す。)形成領域には、Si半導体基板層10の上層にn型不純物が拡散されたn型ウェル11が形成されており、その上には、SiO₂膜等からなるゲート絶縁膜31を介してp型のSiGeを用いたゲート電極42が形成されている。ゲート電極42の両サイドにはゲート側壁35が形成されており、n型ウェル11の上層にはゲート電極42およびゲート側壁35に対し自己整合的に形成したエクステンション(LDD)構造を持つp型のソース/ドレイン領域13、14が形成されている。

【0034】また、nMOSTランジスタ(以下、「nMOS」と表す。)形成領域には、導電型は異なるが、

pMOSと基本的に同じ構造が形成されている。即ち、Si半導体基板層10の上層にp型不純物が拡散されたp型ウェル12が形成されており、その上には、SiO₂膜等からなるゲート絶縁膜32を介してn型のSiGeゲート電極43が形成されている。ゲート電極43の両サイドにはゲート側壁36が形成されており、n型ウェル11の上層にはエクステンション構造を持つn型のソース/ドレイン領域15、16が形成されている。

【0035】なお、図示を省略しているが、サリサイド工程により、ゲート電極42、43の表面層およびソース/ドレイン領域13~16の各表面層にシリサイド層を形成してもよい。

【0036】図2は、第1の実施の形態に係る容量素子の容量値Cの印加電圧依存性を示すグラフである。比較のため、従来の容量素子の値もあわせて示す。両者の大きな相違は、従来の容量素子では、上部電極と下部電極とをポリSi層で形成しているのに対し本実施の形態に係る容量素子では、上部電極と下部電極を、SiGe層で形成している点である。ともに、容量素子面積が約4μm角、誘電体層はSiO₂膜換算で約10nmであり、各電極層内のP(燐)の不純物濃度は、約3×10²⁰/cm³とする。

【0037】同グラフからわかるように、従来の容量素子では、印加電圧が増加すると容量値Cが大幅に減少している。これに対し、第1の実施の形態に係る容量素子の場合は、電圧依存性がほとんどなく平坦な容量値Cを示しており、その変動量は、例えば16ビットADコンバータ回路に求められる40ppm/v以下のレベルに抑えられる。

【0038】従来の容量素子の場合の容量値の電圧依存性は、主に電極内に発生する空乏層に起因するといわれている。容量素子の実際の容量値Cには、誘電体層が有する固有の容量C₀に加え、空乏層が発生するとこれに基づく容量C_dが加わるが、印加電圧の値に依存して空乏層の厚みは変化し、これに従い、その容量C_dも変動するため、容量素子全体の容量値Cも電圧依存性を示すことになる。

【0039】容量素子の電極の空乏化を抑制するには、電極内のn型不純物濃度を十分に上げればよいことが知られている。一方、物質の仕事関数は、真空準位からフェルミ準位E_fに至るエネルギーであり、フェルミ準位は不純物の種類や濃度等に依存する。即ち、固有の仕事関数の小さい材料を電極層として使用することで、n型不純物濃度を上げた場合と等価な効果を得ることが可能になる。

【0040】例えばSiの仕事関数は約4.05~5.17eVであるが、SiGeは少なくともこの仕事関数の範囲が全体的に小さい。同じSi系の化合物材料であることからプロセス上のマッチングも良い上に、仕事関数も小さく、同様な結晶状態の材料に同じ量のn型不純

物をドーピングした場合には、Si層に較べSiGe層の方が小さい仕事関数が得られ、ポリSi層内により多くの不純物をドーピングした場合と同様に、空乏層の発生を抑制する効果が得られる可能性がある。

【0041】第1の実施の形態に係る半導体装置のように、デュアルゲート構造のCMOSトランジスタを形成する場合は、プロセス上の要請からドーピング量は $3 \times 10^{20} / \text{cm}^3$ 程度にとどまり、それ以上に上げることは難しいが、従来使用していたポリSiにかえて、SiGe層を利用した場合は、そもそも仕事関数が小さいため、同程度のドーピング量で空乏層の発生を抑制し、空乏層の厚みを減少させることができる。この結果、空乏層に起因する変動容量の発生が抑えられるので、図2に示すように、容量値の電圧依存性を極めて小さく抑えることが可能になる。空乏層の影響を除くことができるので、より誘電体層の厚みを薄くでき、容量素子全体のさらなる微細化も可能になる。

【0042】一方、第1の実施の形態では、同時にデュアルゲート構造のCMOSトランジスタのゲート電極をも従来のポリSiにかえて、SiGe層で形成しているが、これは単に容量素子の電極と同一工程を用いてゲート電極の形成が可能であるというプロセス上のメリットばかりでなく、ゲート電極をSiGe層にすることにより、容量素子の電極の場合と同様に、ゲート電極内での空乏層の発生を抑制し、空乏層の存在に起因するしきい値電圧の上昇や変動を防止し、駆動力をアップさせるとともにトランジスタの信頼性を高めるという効果を得ることができる。

【0043】次に、図3(a)～図3(e)を参照しながら、第1の実施の形態に係る半導体装置の製造方法の一例について説明する。

【0044】まず、図3(a)を参照して、SiGe層40の形成までの工程について説明する。同図に示すように、Si半導体基板10の上層の必要箇所に、埋め込み型の素子分離領域であるSTI層20を形成する。なお、この素子分離領域は埋め込み型に限らず、熱酸化膜等によるLOCOS(Local Oxidation of Silicon)で形成してもよい。このSTI層20により活性領域とそれ以外の領域を分離する。この後、CMOS形成領域のうちpMOS形成領域にはn型不純物をイオン注入し、nMOS形成領域には、p型不純物イオンを注入し、アニール工程を経て活性化することによりチャネル形成領域より十分深いnウエル領域11とpウエル領域12とを形成する。

【0045】次に、基板表面に厚み約10nmのSiO₂膜からなるゲート絶縁膜30を形成し、さらに、ゲート電極および容量素子の下部電極を構成する、例えば厚み約100nmのSiGe層40を形成する。

【0046】SiGe層40の形成方法は特に限定されないが、例えば減圧CVD法を用いて形成することがで

きる。成膜条件としては、例えば圧力を約1300～2000Pa、基板温度を約650～750℃を用いることができる。ガス源は、Si材料ガスとしてはSiH₄、SiH₂Cl₂、SiH₆等を、Ge材料ガスとしてはGeH₄等をそれぞれ用いることができる。SiGe層中のSiとGeの組成比は、ガス流量比で調整できる。この組成比は特に限定されないが、組成比はバンドギャップや仕事関数に反映するので、少なくとも空乏層が形成されない仕事関数値になるよう不純物濃度とともに設計することが好ましい。例えばSiとGeの組成比が80:20～70:30になるように調整する。

【0047】SiGe層40を形成したら、pMOS形成領域をレジスト膜で覆い、n型不純物であるP(リン)を、nMOS形成領域と容量素子形成領域のSiGe層40にドーピングする。なおn型不純物濃度は、例えば、 $3 \times 10^{20} / \text{cm}^3$ とする。少なくとも、ゲート絶縁膜を介してゲート電極とチャネル領域間で電界破壊等が生じない条件で行う。この後、同様に、nMOS形成領域と容量素子形成領域のSiGe層をレジスト膜で覆い、p型不純物であるB(ボロン)をpMOS形成領域のSiGe層40にドーピングする。その後、アニール工程を経て、ドーピング不純物を活性化する。次に図3(b)に示すように、SiGe層40上に、容量素子の誘電体層となる絶縁層50を減圧CVDもしくは熱酸化法等を利用して形成する。絶縁層50としては、SiO₂膜、SiON膜、SiN膜、もしくはSiO₂膜とSiN膜との積層膜であるONO膜等を用いることができる。絶縁層50の厚みは、例えば絶縁層50の容量がSiO₂膜単体で10nm～30nmに相当するように設定する。

【0048】さらに、同図に示すように、絶縁層50上に容量素子の上部電極を構成するSiGe層60を形成する。SiGe層60は、ESiGe層40と同様な方法で作製することができる。

【0049】次に、図3(c)に示すように、フォトリソ工程を用いて、レジストマスク70を形成し、RIE(Reactive Ion Etching)法等を用いてSiGe層60と絶縁層50のエッチングを行い、容量素子の上部電極61及び誘電体層51を形成する。不要になったレジストマスク70はこの後剥離除去する。

【0050】続けて、図3(d)に示すように、フォトリソ工程を用いて、レジストマスク80を形成し、RIE法等を用いてSiGe層40のエッチングを行い、容量素子の下部電極41とpMOS用ゲート電極42、nMOS用ゲート電極43を形成する。なお、下部電極41は電極の引き出しが可能のように、上部電極61より広くバターニングすることが望ましい。不要になったレジストマスク80は、この後剥離除去する。ここまでの工程で、容量素子が形成される。

【0051】この後は、従来用いられている製造手順に

従って、CMOS構造を作製すればよい。即ち、図3(e)に示すように、ゲート電極42、43をマスクの一部に用いて不純物のイオン注入をそれぞれの領域に行い、自己整合的にまず、ソース/ドレインのエクステンション(LDD)領域13a~16aを形成する。

【0052】続いて、図1を参照するように、各ゲート電極42、43の両サイドにゲート側壁35、36を形成し、さらにこれらをマスクの一部として用いてそれぞれの不純物を自己整合的にイオン注入して、さらにアニール工程を経ることにより、pMOS領域には、p型のソース/ドレイン領域13、14を、nMOS領域には、n型のソース/ドレイン領域15、16を形成する。

【0053】この後、必要に応じてサリサイド工程を加えてもよい。即ち、各ソース/ドレイン領域13~16を露出させ、その基板表面にシリサイド可能な金属、例えばCoを形成し、アニールを行い、各ソース/ドレイン領域の露出部とゲート電極42、43の露出部を自己整合的にシリサイド化する。

【0054】さらに、層間絶縁膜、導電ビア、引き出し配線等を必要に応じて形成する。

【0055】以上に説明するように、本発明の第1の実施の形態では、容量素子の上部電極及び下部電極、並びにCMOSTランジスタの各ゲート電極をSiGe層にすることにより、従来のプロセスに大幅な変更を加えることなく、容量素子においては、容量値の電圧依存性を低減し、CMOSTランジスタにおいては、駆動力の改善を図ることができる。

【0056】(第2の実施の形態)第2の実施の形態は、第1の実施の形態の第1の変形例を示すものである。

【0057】図4(a)に、第2の実施の形態に係る半導体装置の基本的構造を示す。同図に示すように、第2の実施の形態に係る半導体装置は、第1の実施の形態に係る半導体装置とほぼ共通する構造を有するが、CMOSTランジスタと容量素子とを有する半導体装置において、各ゲート電極42、43と、容量素子の下部電極411のみをSiGe層で形成している。

【0058】即ち、Si半導体基板10の上層は、素子分離領域であるSTI層20により、活性領域とそれ以外の領域に分離されており、容量素子は、STI層20上に形成され、SiGe層からなる下部電極411、誘電体層51、およびポリSi層からなる上部電極61の積層構造で構成されている。

【0059】第2の実施の形態に係る半導体装置では、容量素子の下部電極411のみをSiGe層で形成し、上部電極61はポリSi層で形成している。このように、容量素子の電極は、上部電極もしくは下部電極のいずれか一方をSiGe層で形成した場合は、少なくともSiGe層で構成される電極内での空乏層の発生を抑制

できるので、従来の容量素子に比較し、容量の電圧依存性をかなり低下させることができる。

【0060】一方、Si半導体基板10上のCMOS形成領域には、第1の実施の形態と同様に、デュアルゲート構造のpMOSとnMOSが形成されており、各MOSトランジスタには、SiGe層からなるゲート電極42、43を形成している。従って、CMOSTランジスタにおいては、第1の実施の形態の場合と同様に、ゲート電極内の空乏層の発生を抑制し、トランジスタの駆動力を改善し、信頼性を高めることができる。

【0061】また、第2の実施の形態に係る半導体装置は、図3(a)~図3(e)に示す第1の実施の形態に係る製造方法において、SiGe層60の代わりにポリSi層を形成することで得られる。また、SiGe層60の代わりに形成するポリSi層は、ゲート電極に使用するものではないため、不純物のドーピング方法はイオン注入法に限らず使用することができる。よって、ゲート電極の場合に比較しより高い不純物濃度とし、空乏層の形成を抑制することも可能である。

【0062】なお、第2の実施の形態では、容量素子の上部電極61をポリSi層で形成する例を示しているが、空乏層の発生がないメタル配線材料等で形成してもよい。

【0063】(第3の実施の形態)第3の実施の形態は、第1の実施の形態の第2の変形例を示すものである。

【0064】図4(b)に、第3の実施の形態の基本的構造を示す。同図に示すように、第3の実施の形態に係る半導体装置は、CMOSTランジスタと容量素子とを有する半導体装置において、各ゲート電極並びに、容量素子の下部電極及び上部電極が、少なくともゲート絶縁膜31、32もしくは誘電体層51に接する側にSiGe層412b、611a、431a、421aを備えていることを特徴とする。

【0065】同図に示すように、容量素子は、STI層20上に形成され、下部電極412、誘電体層51、および上部電極611からなる積層構造で構成されている。下部電極412は、さらに、下層のポリSi層412aと誘電体層51側に接する上層のSiGe層412bとの積層構造を有し、上部電極611は、誘電体層51側に接する下層のSiGe層611aと上層のポリSi層611bとの積層構造を有する。

【0066】このように、第3の実施の形態に係る容量素子は、少なくとも誘電体層51の界面に接する電極部分をSiGe層で構成している。空乏層の発生は、誘電体層51との界面に接する電極層の状態で決まるため、上部電極611および下部電極412の少なくとも誘電体層に接する側をSiGe層で形成しておけば、第1の実施の形態に係る容量素子のように上部電極および下部電極を単層のSiGe層で形成した場合と同様に、空乏

層の発生抑制効果が得られる。よって、第1の実施の形態と同様なレベルで従来の容量素子に比較し、容量の電圧依存性を低下させることができる。

【0067】一方、Si半導体基板10上のCMOS形成領域には、第1の実施の形態と同様に、デュアルゲート構造のpMOSとnMOSとが形成されており、各MOSトランジスタのゲート電極421、431は、ゲート絶縁膜31、32に接する側である下層にSiGe層421a、431aを有し、上層にポリSi層421b、431bを形成している。CMOSトランジスタにおいても、ゲート絶縁膜界面側にSiGe層を形成していれば、ゲート電極内の空乏層の形成が抑制され、トランジスタの駆動力が向上する。

【0068】なお、第3の実施の形態に係る半導体装置を作製する際は、容量素子の上部電極611とCMOSトランジスタのゲート電極421、431の構造が等しいので、これらを同一層として形成することが好ましい。この場合は、予め容量電極の下部電極412と誘電体層51とゲート絶縁膜31、32を先に形成し、その上で、ゲート電極421、431および容量素子の上部電極611を同一層で形成するとよい。

【0069】また、SiGe層とポリSi層との積層構造については、減圧CVD法を用いてSiガス源とGeガス源との流量比を調整することによって同一チャンバーを用いて連続的に形成できる。なお、積層構造の組成は厚み方向にSiとGe組成が連続的に変化するものであってもよい。

【0070】また、この構成では、ゲート電極421、431の上層がポリSi層で構成されるので、シリサイド工程を用いてシリサイド化を行う場合には、上層がSiGe層である場合に比べ、Geが含まれない分、シリサイド電極をより低抵抗化することができる可能性も高い。

【0071】このように、ゲート電極もしくは容量素子の上部電極および下部電極には、単層のSiGe層を使用するばかりでなく、少なくともゲート絶縁膜もしくは誘電体層側にSiGe層を形成していれば、単層のSiGe層を利用したときと同様な効果を得ることができる。

【0072】(第4の実施の形態) 第4の実施の形態は、第1の実施の形態の第3の変形例を示すものである。

【0073】図4(c)に、第4の実施の形態の基本的構造を示す。同図に示すように、第4の実施の形態に係る半導体装置は、CMOSトランジスタと容量素子とを有する半導体装置において、各ゲート電極421、431並びに容量素子の上部電極611が、少なくともゲート絶縁膜31、32もしくは誘電体層51に接する側にSiGe層を備えているものである。

【0074】同図に示すように、STI層20上に形成

される容量素子は、下部電極413、誘電体層51、および上部電極611の積層構造で構成されている。下部電極413はポリSi層で形成されているが、上部電極611は、さらに、誘電体層51側に接する下層のSiGe層611aと上層のポリSi層611bとで構成されている。

【0075】このように、第4の実施の形態に係る容量素子は、少なくとも上部電極611の誘電体層の界面に接する側にSiGe層611aを有しているため、少なくとも上部電極611内の空乏層の発生を抑制することができる。即ち、第2の実施の形態の場合と同様に従来の容量素子に比較し、容量の電圧依存性をかなり低下させることができる。

【0076】また、Si半導体基板10上のCMOS形成領域の構成は、第3の実施の形態の場合に等しく、トランジスタの駆動力を向上させることができる。

【0077】なお、第4の実施の形態に係る半導体装置は、上述する第3の実施の形態に係る半導体装置の製造方法を利用して作製することができる。

【0078】(第5の実施の形態) 上述する第1～第4の実施の形態では、容量素子の電極およびCMOSトランジスタのゲート電極の双方にSiGe層あるいはSiGe層を含む積層電極を用い、容量素子とトランジスタとの双方について特性の改善を図る例について説明したが、容量素子の電極のみにSiGe層を形成し、主に容量素子の電圧依存性の改善を目的とした構造としてもよい。

【0079】第5の実施の形態に係る半導体装置の構成を図5(a)に示す。同図に示すように、CMOSトランジスタの構成は、従来のものと基本的におなじであるため説明を省略するが、それぞれのゲート電極422、432は、ポリSi層で形成している。一方、素子分離領域であるSTI層20上に形成された容量素子では、下部電極413はゲート電極422、432と同様にポリSi層で形成するが、誘電体層51を挟んで上部電極612はSiGe層で形成している。よって、容量素子の上部電極612内での空乏層の形成を抑制し、空乏層に伴う変動容量値の発生を抑制し、電圧依存性が低い容量素子を提供できる。

【0080】なお、容量素子の下部電極413とCMOSトランジスタの各ゲート電極422、432は、いずれもポリSi層であるため、同一層で形成できる。また、基本的な製造方法は第1の実施の形態とほぼ同様な製造方法を用いればよい。

【0081】(第6の実施の形態) 第6の実施の形態に係る半導体装置の構成を図5(b)に示す。第6の実施の形態に係る半導体装置は、上述する第5の実施の形態の変形例である。同図に示すように、容量素子の下部電極414を下層のポリSi層414aと誘電体層51側に接する上層のSiGe層414bで構成している。ま

た、上部電極613をポリSi層で構成している。この構成において、少なくとも容量電極の下部電極において空乏層の形成が抑制されるため、容量値の電圧依存性がかなり低減できる。

【0082】CMOSTランジスタ領域に形成した各ゲート電極423、433も、容量素子の下部電極414と同様に、下層がポリSi層423a、433a、上層がSiGe層で構成されている。よって、第5の実施の形態の場合と同様に、容量素子の下部電極414とCMOSTランジスタの各ゲート電極423、433を同一層で形成することができる。

【0083】(第7の実施の形態) 第7の実施の形態に係る半導体装置の構成を図5(c)に示す。第7の実施の形態に係る半導体装置も、上述する第5の実施の形態の変形例である。ここでは、同図に示すように、容量素子の下部電極414を下層のポリSi層414aと誘電体層51側に接する上層のSiGe層414bとで構成するとともに、上部電極614も、下層の誘電体層51に接する側にSiGe層614aを形成し、上層にポリSi層614bを形成している。この構成においては、容量電極の上部電極および下部電極の双方を単一のSiGe層で形成した場合と同様に、各電極内での空乏層の形成を抑制できるため、容量値の電圧依存性を大幅に低減できる。

【0084】CMOSTランジスタ領域に形成した各ゲート電極423、433も、容量素子の下部電極414と同様に、下層がポリSi層423a、433a、上層がSiGe層で構成されている。よって、第5の実施の形態の場合と同様に、容量素子の下部電極414とCMOSTランジスタの各ゲート電極423、433を同一層で形成することができる。

【0085】以上、各実施の形態に沿って、本発明の半導体装置について説明したが、本発明はこれらの実施の形態の記載に限定されるものではない。種々の改良や置換が可能なことは、当業者に明らかである。

【0086】例えば、容量電極材料としてSiGe層およびポリSi層の例のみを挙げているが、上部電極もしくは下部電極の少なくとも一方をMo、W、Ti等の高融点金属で形成してもよい。また、上部電極については、後続するプロセスの温度条件がそれほど高温を必要としない場合は、AlやCu等のより広い種々の材料を用いることもできる。

【0087】また、上述する実施の形態では、容量素子の上部電極もしくは下部電極とMOSTランジスタのゲート電極とを同一層で形成する場合について説明したが、同一層で形成する必要は必ずしもない。さらに、容量素子の位置は素子分離領域であるSTI層上に形成する必要は必ずしもなく、STI層上にさらに絶縁膜を介して形成してもよいし、活性領域の上方にいずれかの層間絶縁膜上に形成するものであってもよい。

【0088】以上に説明するように、本実施の形態に係る半導体装置は、容量値の電圧依存性を低く抑えた容量素子を提供できるため、アナログ・デジタル変換回路への応用に適したものである。

【0089】

【発明の効果】以上、説明するように、本発明の半導体装置の第1の特徴によれば、容量素子の上部電極もしくは下部電極の少なくとも誘電体層側に、Siより小さい仕事関数を持つSi化合物層、例えばSiGe層を用いるため、電極内での空乏層の発生を抑制し、容量素子全体の容量値の電圧依存性を低減できる。よって、印加電圧の値に関わらず安定した容量値を提供できる。また、MOSTランジスタのゲート電極においても、少なくともゲート絶縁膜側にSiGe層を形成するため、ゲート電極の空乏化を抑制し、ランジスタの駆動性を向上できる。このようにSiGe層の使用は、MOSTランジスタと容量素子双方の特性を向上させ、信頼性高いデバイスを提供できる。

【0090】本発明の半導体装置の第2の特徴によれば、容量素子の上部電極もしくは下部電極の誘電体層界面に、Siより小さい仕事関数を持つSi化合物、例えばSiGe層を用いるため、電極内での空乏層の発生を抑制できる。よって、電圧依存性が大きい空乏層に起因する容量の割合が減少するため、容量素子全体の容量値の電圧依存性を低減できる。印加電圧の値に関わらず安定した容量値を提供できる。空乏層の発生を抑制できるので、誘電体層の一層の薄膜化、容量素子の縮小化も可能となる。

【0091】本発明の半導体装置の製造方法の第1の特徴によれば、同一工程で、容量素子の下部電極と、MOSTランジスタのゲート電極とをSiより小さい仕事関数を持つSi化合物、例えばSiGe層で形成できるため、プロセス上の負担なく、電圧依存性の少ない容量素子と、駆動性が良好なMOSTランジスタとを提供できる。

【0092】本発明の半導体装置の製造方法の第2の特徴によれば、同一工程で、少なくとも誘電体層側もしくはゲート絶縁膜側にSiより小さい仕事関数を持つSi化合物層、例えばSiGe層を有する容量素子の上部電極と、MOSTランジスタのゲート電極とを形成できるため、プロセス上の負担なく、電圧依存性の少ない容量素子と、駆動性が良好なMOSTランジスタを提供できる。

【0093】本発明の半導体装置の製造方法の第3の特徴によれば、容量素子とMOSTランジスタとを同一基板上に製造上の負担なく形成でき、しかも電圧依存性の少ない容量素子と、駆動性が良好なMOSTランジスタを提供できる。

【図面の簡単な説明】

【図1】第1の実施の形態に係る半導体装置の構造を示

す装置断面図である。

【図2】第1の実施の形態に係る容量素子の電圧依存性を示すグラフである。

【図3】第1の実施の形態に係る半導体装置の製造工程を示す各工程での装置断面図である。

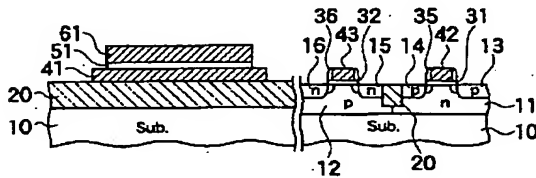
【図4】第2～第4の各実施の形態に係る半導体装置の構成を示す装置断面図である。

【図5】第5～第7の各実施の形態に係る半導体装置の構成を示す装置断面図である。製造工程を示す各工程での装置の部分断面図である。

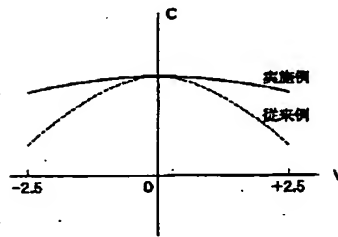
【符号の説明】

- 10 Si半導体基板
- 11 nウエル層
- 12 pウエル層
- 13～16 ソース/ドレイン領域
- 20 STI層
- 30～32 ゲート絶縁膜
- 35、36 ゲート側壁
- 41 下部電極
- 51 誘電体層
- 61 上部電極
- 70、80 レジスト

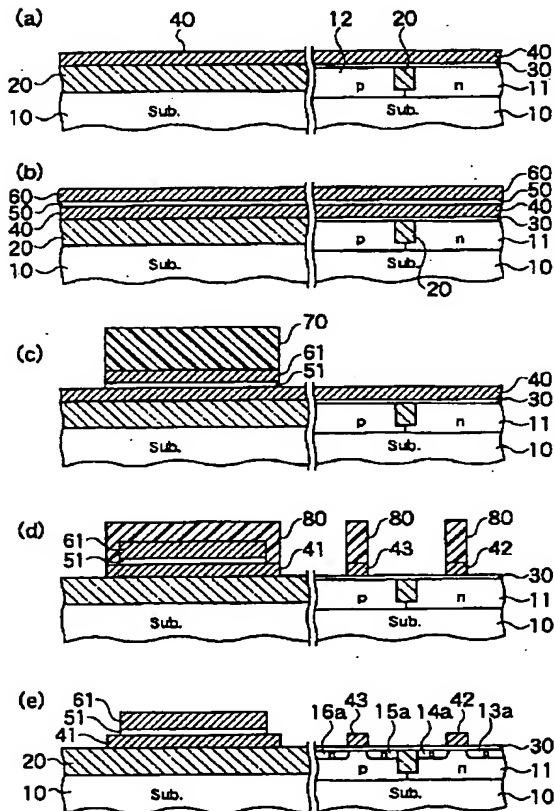
【図1】



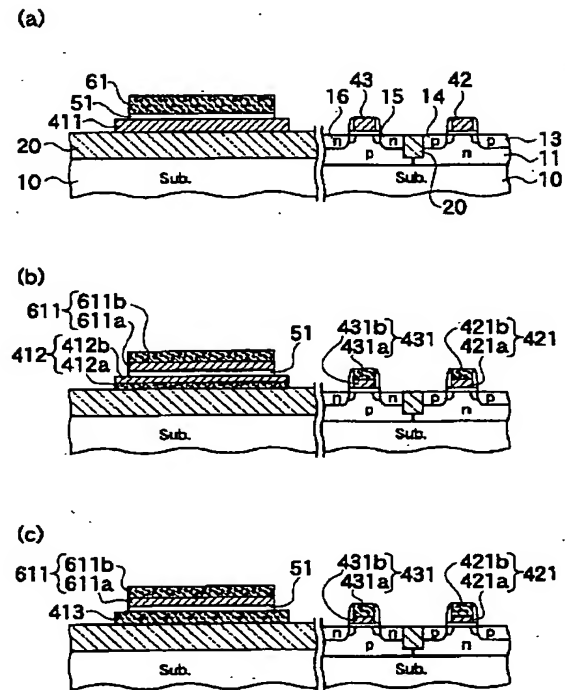
【図2】



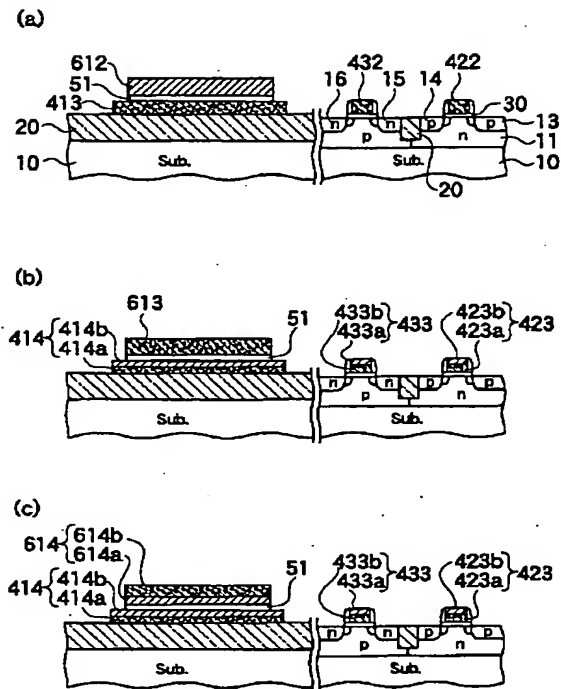
【図3】



【図4】



【図5】



フロントページの続き

(51)Int. Cl.⁷

H01L 21/8238
27/092
29/43
29/78

識別記号

F I

H01L 29/78

キーワード(参考)

301G

F ターム (参考) 4M104 BB01 BB36 BB38 BB40 CC05
DD02 DD45 DD65 EE05 EE17
FF13 GG09 GG10 GG14 GG19
HH20
5F033 HH03 LL04 LL09 PP03 PP09
VV06 VV10 XX00
5F038 AC05 AC16 AC17 AV06 DF03
EZ02 EZ13 EZ14 EZ16 EZ17
EZ20
5F040 DA00 DA05 DB03 DB09 DC01
EC01 EC02 EC04 EC11 EC13
EF02 EH02 EK01 EK05 FA03
FB02
5F048 AA08 AC03 AC10 BB04 BB06
BB07 BB08 BB12 BB13 BC06
BE03 BF06 BG12 BG14 DA09
DA23